

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-303649

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

H03D 7/00

H04L 27/22

(21)Application number : 09-111421

(71)Applicant : TOSHIBA CORP  
TOSHIBA AVE CORP

(22)Date of filing : 28.04.1997

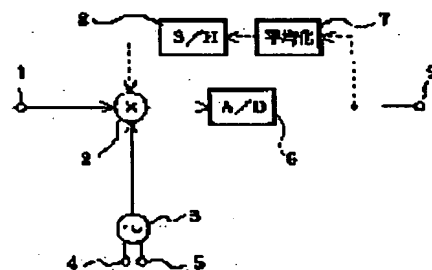
(72)Inventor : ANZAI SHUNICHI  
MORITA AKIRA

## (54) MIXER CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the mixer circuit that obtains suitable reception performance by suppressing a DC offset.

**SOLUTION:** A base band signal outputted from a mixer 2 is converted into a digital base band signal at an A/D converter 6, an averaging circuit 7 detects a DC mean value of the signals, and provides an output of it to a sample-and-hold circuit 8. Then the mixer 2 is controlled by receiving and storing the mean value output in a desired timing so as to cancel a difference voltage between the stored output and a DC design value of the mixer 2 and a multiplied output from which a DC offset is eliminated is obtained from the mixer 2.



## LEGAL STATUS

[Date of request for examination]

16.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**BLANK PAGE**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-303649

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 3 D 7/00

H 0 3 D 7/00

B

H 0 4 L 27/22

H 0 4 L 27/22

D

Z

審査請求 未請求 請求項の数 9 O L (全 6 頁)

(21) 出願番号

特願平9-111421

(22) 出願日

平成9年(1997)4月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221029

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(72) 発明者 安西 俊一

東京都港区新橋3丁目3番9号 東芝エー・

ピー・イー株式会社内

(72) 発明者 森田 亮

東京都港区新橋3丁目3番9号 東芝エー・

ピー・イー株式会社内

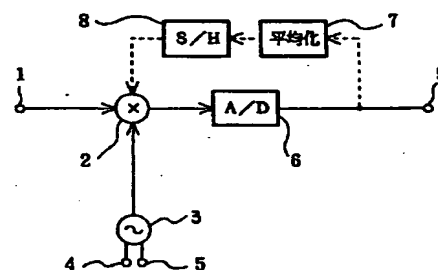
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 ミキサ回路

(57) 【要約】

【課題】 DCオフセットを抑圧し好適な受信性能を得るミキサを提供する。

【解決手段】 ミキサ2より出力されるベースバンド信号を、A/D変換器6でデジタルベースバンド信号に変換し、平均化回路7にてこれのDC平均値を検出し、サンプルホールド回路8に出力する。ここで、所望のタイミングでこの平均出力を取込・保持し、保持出力とミキサ2のDC設計値との差分電圧を相殺するようにミキサ2を制御し、DCオフセットを除去した乗算出力をミキサ2より得る。



## 【特許請求の範囲】

【請求項1】 周波数変換される被周波数変換入力信号と該入力信号のセンター周波数の単一キャリアを発生する手段から単一キャリアとをそれぞれ入力してベースバンド周波数帯へ周波数変換する乗算器と、

前記乗算器の乗算出力をデジタル乗算出力として得る手段と、

前記デジタル乗算手段のデジタル乗算出力から前記乗算器の乗算出力の直流電圧成分を検出する検出手段と、

前記直流電圧成分を所望のタイミングで読み込み・保持する読込・保持手段とからなり、

前記読込・保持手段により保持された電圧平均値と所望の前記乗算器の出力電位の差分だけ補正するよう、前記乗算器の出力電位を制御してなることを特徴とするミキサ回路。

【請求項2】 RF信号あるいはIF信号からI/Q復調出力を得るI/Q復調回路において、

一方の入力をRF信号あるいはIF信号とする第1および第2の乗算器と、

入力されたRF信号あるいはIF信号のセンター周波数で発振するよう制御された発振器と、

前記発振器出力を入力とし、任意の位相の第1の位相信号に対して90°位相の異なる第2の位相信号の各出力を、それぞれ前記第1の乗算器および第2の乗算器の他方の入力へ供給する手段と、

前記第1および第2の乗算器出力を第1および第2のデジタル乗算出力として得る手段と、

前記第1および第2のデジタル乗算出力から前記第1および第2の乗算器の出力の直流電圧成分を検出する手段と、

前記直流電圧成分を所望のタイミングで読み込み・保持する第1および第2の読込・保持手段とからなり、

前記第1および第2の読込・保持手段にて保持した各電圧値と所望の乗算器出力電位の差分だけ補正するよう、前記第1および第2の乗算器の出力電位をそれぞれ制御してなることを特徴とするミキサ回路。

【請求項3】 前記乗算器の出力の直流電圧成分を、デジタル乗算出力の時間平均をとった平均電圧値として検出することを特徴とする、請求項1または2のミキサ回路。

【請求項4】 前記読込・保持手段は、被周波数変換入力供給されているタイミングでのみ読込み、それ以外のタイミングでは保持するよう構成したことを特徴とする、請求項1または2記載のミキサ回路。

【請求項5】 前記第1および第2のデジタル乗算出力の何れか一方を選択出力する第1のスイッチ手段を設け、

前記第1のスイッチ手段により選択されたデジタル乗算出力から前記第1あるいは第2の乗算器の出力電位を検出し、第2のスイッチ手段により検出出力を、何れか一

方の前記第1および第2の読込・保持手段へ供給するよう構成したことを特徴とする請求項2記載のミキサ回路。

【請求項6】 前記第1および第2の乗算器の出力何れか一方を選択出力する第1のスイッチ手段を設け、前記第1のスイッチ手段により選択された乗算器の出力をデジタル乗算出力に変換し、これから前記第1あるいは第2の乗算器の出力電位を検出し、第2のスイッチ手段により検出出力を前記第1および第2の何れか一方の読込・保持手段へ供給するよう構成したことを特徴とする請求項2記載のミキサ回路。

【請求項7】 前記第1および第2のスイッチ手段は、前記第1のスイッチ手段が第1のデジタル乗算出力あるいは第1の乗算器の出力を選択した場合は、前記第2のスイッチ手段は第1の読込・保持手段へ、前記第1のスイッチ手段が第2のデジタル乗算出力あるいは第2の乗算器の出力を選択した場合は、前記第2のスイッチ手段は第2の読込・保持手段へそれぞれ同期して選択出力するよう構成したことを特徴とする請求項5または6記載のミキサ回路。

【請求項8】 少なくとも電源投入後1回以上、乗算器の出力電位を検出し、検出出力を前記読込・保持手段にて読込・保持することを特徴とする請求項1から7までのいずれかに記載のミキサ回路。

【請求項9】 被周波数変換信号あるいはこの信号に相当するテスト信号を入力端子へ供給し、乗算器の出力電位を検出し、電源投入時各回路が定常動作状態となった後に1回だけ、読込・保持することを特徴とする請求項8記載のミキサ回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、周波数変換を伴う放送あるいは通信において、RF(Radio Frequency)信号あるいはIF(中間周波数)信号からベースバンド信号へ変換する受信器に用いるミキサに関する。

【0002】

【従来の技術】RF信号あるいはIF信号からデジタルベースバンド信号を得る、従来のミキサ回路の構成例を図7に示して説明する。入力端子1からミキサ2の一方の入力へRF信号あるいはIF信号を供給する。発振器3はミキサ2の乗算出力からベースバンド信号を得るように発振周波数が制御された発振出力を出力し、ミキサ2の他方へ入力する。この結果、ミキサ2からはベースバンド帯の乗算出力を得、コンデンサCにてDCカットしたのち、A/D変換6により出力端子6からデジタルベースバンド信号を得る。デジタルベースバンド信号は、送信側の変調方式に応じた復調回路(図示せず)により、所望の復調出力を得る。

【0003】ところで、発振器3の共振子を接続する接続ピン4や5からは、基板レイアウトやピン配置を要因

とするリークが発生し、入力端子1へこれが漏れ込む。この結果、ミキサ2では同じ周波数による自己混合が発生し、ミキサ2の出力からは不要な直流成分(DCオフセット)が得られる。コンデンサCでは、このDC成分を除去することができる。

【0004】ところで、DCカットのためのコンデンサCは、ベースバンド帯を通過させるために、かなり大きな容量のものを用いる必要がある。このため図7に示す受信部の構成をIC化するような場合、コンデンサCをICに内蔵することは不可能であり、コンデンサCは外付け部品として接続し、これに加えコンデンサ接続のための入出力ピンを少なくとも1組以上余計に設ける必要がある。

【0005】また、時分割多重双方向通信方式のように、送受信を任意時間で切り換えるシステムのような場合、送受各モードでDCオフセットの出方が異なることが考えられる。もしコンデンサCの充放電が送受の切り換え時間に比して十分に速いタイミングで完了しないと、受信側へ切り換えた直後の受信品位が落ちる。前述のようにコンデンサCは、かなり大きな容量となり、充放電には時間がかかることが予想されるので、受信品位への影響は無視できない。

【0006】さらにDCオフセットは、ミキサ2自体の歪み性能の劣化を招く。ミキサ2の出力Dレンジが、DCオフセットに対し充分広く取れていれば問題ないが、DCオフセット値を決定する発振器タンク端からのリーク量や位相変化は見積もりが困難であるため、出力Dレンジのマージンを定量的に設定することは不可能といつてよい。

【0007】

【発明が解決しようとする課題】上記したように従来のミキサ回路では、自己混合によるDCオフセットは、受信機の基本性能の劣化やコストアップの要因となる、という問題があった。

【0008】この発明では、DCオフセットを抑圧して好適な受信性能を得るミキサを提供する。

【0009】

【課題を解決するための手段】この発明は上記した課題を解決するために、この発明のミキサ回路では、周波数変換される被周波数変換入力信号と該入力信号のセンタ一周波数の単一キャリアを発生する手段から単一キャリアとをそれぞれ入力してベースバンド周波数帯へ周波数変換する乗算器と、前記乗算器の乗算出力をデジタル乗算出力として得るデジタル乗算手段と、前記デジタル乗算手段のデジタル乗算出力から前記乗算器の乗算出力の直流電圧成分を検出する検出手段と、前記直流電圧成分を所望のタイミングで読み込み・保持する読込・保持手段とからなり、前記読込・保持手段により保持された電圧平均値と所望の前記乗算器の出力電位の差分だけ補正するよう、前記乗算器の出力電位を制御してなることを

特徴とする。

【0010】また、RF信号あるいはIF信号からI/Q復調出力を得るI/Q復調回路において、一方の入力をRF信号あるいはIF信号とする第1および第2の乗算器と、入力されたRF信号あるいはIF信号のセンタ一周波数で発振するよう制御された発振器と、前記発振器出力を入力とし、任意の位相の第1の位相信号に対して90°位相の異なる第2の位相信号の各出力を、それぞれ前記第1の乗算器および第2の乗算器の他方の入力へ供給する手段と、前記第1および第2の乗算器出力を第1および第2のデジタル乗算出力として得る手段と、前記第1および第2のデジタル乗算出力から前記第1および第2の乗算器の出力の直流電圧成分を検出する手段と、前記直流電圧成分を所望のタイミングで読み込み・保持する第1および第2の読込・保持手段とからなり、前記第1および第2の読込・保持手段にて保持した各電圧値と所望の乗算器出力電位の差分だけ補正するよう、前記第1および第2の乗算器の出力電位をそれぞれ制御してなることを特徴とする。

【0011】

【発明の実施の形態】以下、この発明の実施の形態について、図面を参照しながら詳細に説明する。図1は、この発明の第1の実施の形態について説明するための構成図である。この実施の形態は、デジタルベースバンド出力を得るための受信機に適用した場合である。なお、図7と同一の構成部分には同一の符号を付して説明する。

【0012】図1において、入力端子1からミキサ2の一方の入力へRF信号あるいはIF信号を供給する。発振器3はミキサ2の乗算出力からベースバンド信号を得るように発振周波数が制御された発振出力を出力し、ミキサ2の他方へ入力する。ミキサ2からはベースバンド帯の乗算出力を得、これをA/D変換器6でデジタル信号に変換し、デジタルベースバンド信号を出力端子9から得る。デジタルベースバンド信号は、平均化回路7にてベースバンド信号のDC平均値を検出し、サンプルホールド回路8に出力する。サンプルホールド回路8は、所望のタイミングでこの平均出力を取込・保持し、保持出力とミキサのDC設計値との差分電圧を相殺するようにミキサ2を制御し、DCオフセットを除去した乗算出力をミキサ2より得る。

【0013】ここで、ミキサ2のオフセット制御は、例えば図2の構成のようなアナログ乗算回路で実現できる。出力端子6a、6bの電位は、基準電流I<sub>ref</sub>が負荷抵抗R1、R2に流れることによる電圧降下分で決まる。いま、制御電流源I1およびI2を設け、抵抗R1、R2に流れる電流を制御すると、各抵抗の電圧降下は電流源I1、I2の電流値により増減する。そこで図1のサンプルホールド回路8の出力により、DCオフセットをキャンセルする制御を電流源I1、I2にかけることで、出力端子6a、6bよりDCオフセットのない

ミキサ出力を得ることができる。

【0014】この実施の形態では、DCカットのためのコンデンサは不要となるので、図1の構成を1チップICで実現しようとするときは、コンデンサ結合用途のための入出力端子をICに設けることなくIC化できる。さらに、平均化回路7を、例えばデジタル積分器等でベースバンド信号の平均DC値を検出するよう構成すれば、大きな時定数を比較的容易に設定しつつ、IC化が実現できるメリットもある。また、アナログのミキサ回路自体のDCオフセットが改善するため、ミキサの本来の出力レンジを有効に利用でき、歪みなどのアナログ的な性能の向上も見込める。

【0015】なお、図1ではベースバンド出力をA/D変換器6の出力であるデジタル信号出力として得ているが、ミキサ2の乗算出力をそのままDCオフセットの除去されたアナログベースバンド出力として得ることも当然可能である。

【0016】また、DC平均値の読込・保持手段として、ここではS/H回路を用いたが、RAMなどのメモリ手段で構成することも可能である。

【0017】図3は、QPSK復調等で用いるI/Q復調回路に適用した、この発明の第2の実施の形態について説明するための構成図である。なお第1の実施の形態と同一の構成部分には同一の符号を付してその説明は省略する。

【0018】この実施の形態は、図1の出力端子9から得るベースバンド出力はそのままI/Q復調出力のI信号となる。一方Q信号は、発振器3の出力をを90°移相器10にて移相したのちミキサ2'で乗じ、出力端子9'より得る。なお、図では90°移相器10は入出力間での位相が90°となるよう構成してあるが、ミキサ2およびミキサ2'へ供給するI/Q復調用再生搬送波の相対位相が90°となればよく、90°移相器の構成によりこの発明を制限するものではない。この構成例では、I/Q各軸に対して平均化回路7、7'およびサンプルホールド回路8、8'を設け、I/Q各信号に対してDC平均値検出と各I/Q復調用ミキサ2、2'に対するオフセットキャンセル制御を施すことで、DCオフセットがキャンセルされたI/Q復調出力を得る。

【0019】この実施の形態のように、I/Q復調に適用した場合でも、図1の説明と同様の効果が得られる。

【0020】ところで、図3ではI/Q各軸に対し平均化回路7、7'等をそれぞれ独立に設けたが、図4に示すこの発明の第3の実施の形態のような回路構成とすることにより回路規模を削減することができる。なお、図3の実施の形態と同様の動作をする構成部分については同符号を付してその説明を省略する。

【0021】I/Q各復調出力であるミキサ2、2'の出力を、それぞれA/D変換器6、6'にてデジタルベースバンド信号としてスイッチ12へ供給し、I信号、

Q信号の何れかを選択して平均化回路7へ出力する。平均出力はスイッチ11へ供給し、ここでサンプルホールド回路8あるいはサンプルホールド回路8'の何れかへ選択出力する。サンプルホールド回路は、平均出力の取込・保持を行ない、この保持結果に基づいてミキサ2およびミキサ2'はそれぞれDCオフセットをキャンセルするような出力電位となるよう制御され、DCオフセットのないI/Q復調出力を得る。

【0022】ここでスイッチ11は、スイッチ12でI信号が選択されたときにはサンプルホールド回路8へ、Q信号を選択した際にはサンプルホールド回路8'へ、スイッチ11にて平均出力を選択出力する関係となる同期したスイッチ構成とする。スイッチ11、12の切り換えタイミングは、平均化回路7にて平均出力を得るに十分な時間が確保できるという前提のもと、任意時間で設定すればよい。

【0023】このような構成とすれば、図3のように平均化回路をI/Q各軸に対し独立して設ける必要はないので、回路規模の増減を抑えつつ、DCオフセットをキャンセルしたI/Q復調出力を得ることができる。

【0024】図5は、I/Q復調出力をアナログ信号として出力した、この発明の第4の実施の形態について説明するための回路構成図である。この構成によれば、図4の実施の形態に比べ、さらに回路規模を削減できる。ここでの説明もこれまでの実施の形態と同構成部分には同符号を付し、異なる部分を中心に説明する。

【0025】I/Q各復調出力であるミキサ2、2'の出力をそれぞれスイッチ12へ供給し、I信号、Q信号何れかを選択してA/D変換器8へ出力する。A/D変換器6にて得た、I、Q信号の何れかのデジタルI/Q復調出力は、平均化回路7へ供給して平均化を行う。平均出力はスイッチ11へ供給され、ここでサンプルホールド回路8あるいはサンプルホールド回路8'の何れかへ選択出力する。サンプルホールド回路8では、平均出力の取込・保持を行ない、この保持結果に応じてミキサ2およびミキサ2'はそれぞれDCオフセットをキャンセルするような出力電位となるよう制御を行い、DCオフセットのないI/Q復調信号出力を出力端子9、9'より得る。

【0026】ここでスイッチ11は、図4と同様に、スイッチ12でI信号が選択されたときはサンプルホールド回路8へ、Q信号が選択されるときはサンプルホールド回路8'へ選択出力するスイッチ12との同期スイッチである。切り換えタイミングは平均化回路7にて平均出力を得るに十分な時間が確保できるという前提のもと、任意時間で設定すればよい。

【0027】この実施の形態では、I/Q復調出力をデジタル化するA/D変換器6をも、I/Q各軸で共有することができるので、さらに回路規模を削減したDCオフセットキャンセル可能なミキサ回路が実現できる。

【0028】以上の説明は、この発明を受信機に適用した例であるが、この発明を送受信機に適用した場合は、DC平均値の読込・保持や同期スイッチの各タイミングに考慮する必要がある。図4の実施の形態を送受信機に適用した場合のタイミング制御につき図6を用いて説明する。

【0029】端子14には、適用するシステムに依る制御信号を入力する。時分割多重双方向通信方式の送受信器であれば、送受何れのモードかを判別できるようなモード判別信号を入力し、タイミング制御部13はモード別にスイッチ11、スイッチ12あるいはサンプルホールド回路用の制御出力を発生する。これらブロックは制御出力に応じて、選択・読込・保持などの動作を行なう。例えば、受信状態である第1のタイミングでは、I信号から平均化回路7でDC平均値を得、スイッチ11、12はI側を選択、サンプルホールド回路8にてDC平均値を読み込み、このデータに応じたオフセットキャンセル制御をミキサ2へフィードバックするようにする。

【0030】一方、サンプルホールド回路8'では第1のタイミングにおいては、前回の読み込み結果を保持し、その結果に応じたオフセットキャンセル制御をミキサ2'へフィードバックする。送信状態になった場合には、各サンプルホールド回路とも前回のDC平均値を保持するよう制御し、保持データに応じたDCオフセットキャンセル制御を各ミキサへ施す。そして、次の受信状態である第2のタイミングでは、逆にQ信号側に対し平均化、DC平均値の読み込みを行ない、I信号はタイミングAで得たDC平均値を保持するようにし、今後は受信状態時毎にこの動作をくり返す。

【0031】このような動作とすれば、受信状態時のみミキサ出力のDC平均値の読込み・保持を行ない、送受信時別のRF入力条件の相違によるDCドリフトなどにも影響されることなく、安定して受信時のDCオフセットをキャンセルすることができる。

【0032】なお、ここでは受信状態時1回毎にI信号用回路およびQ信号用回路を切り換えたが、受信状態時であれば、任意のタイミングで切り換えが可能であることはいうまでもない。また、電源投入時などに受信入力あるいは予め用意したテスト信号に対して、最初の任意

回のみDC平均値を検出し、あとはこれを保持するようにし、入力新号の急峻な変化に追従して誤動作を起こさないよう構成してもよい。

【0033】

【発明の効果】以上説明のとおり、RF信号あるいはIF信号からベースバンド信号を得るためのミキサ回路において、デジタル回路によりベースバンド信号のDC平均値を検出し、これにより直接ミキサに対しオフセットキャンセル制御をかけている。このため発振器の共振子からミキサ入力への漏洩により自己混合を起こした場合においても、DC直結で後段のベースバンド処理回路へベースバンド出力を供給でき、さらにミキサ出力段階でオフセットキャンセルされるので、ミキサのアナログ的性能を向上しつつ、DCカット用の大きなコンデンサは不要となり、安価でIC化に好適なDCオフセットキャンセルミキサを提供できる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態について説明するための回路構成図。

【図2】図1のミキサ部の具体例について説明するための回路図。

【図3】この発明の第2の実施の形態について説明するための回路構成図。

【図4】この発明の第3の実施の形態について説明するための回路構成図。

【図5】この発明の第4の実施の形態について説明するための回路構成図。

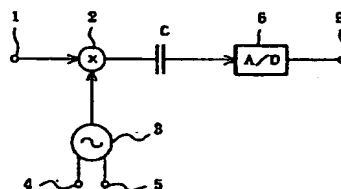
【図6】図4の構成を送受信機に適用した場合の応用例について説明するための回路構成図。

【図7】従来のミキサ回路について説明するための回路構成図。

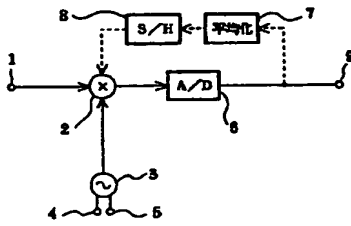
【符号の説明】

1…入力端子、2, 2'…乗算器、3…発振器、4, 5…発振器用共振子接続端、6, 6'…アナログーデジタル変換(A/Dコンバータ)、7, 7'…平均化回路、8, 8'…サンプル&ホールド回路、9, 9'…ベースバンド出力端子、10…90°移相器、11, 12…スイッチ回路、13…タイミング制御回路、14…タイミング制御用信号入力端子。

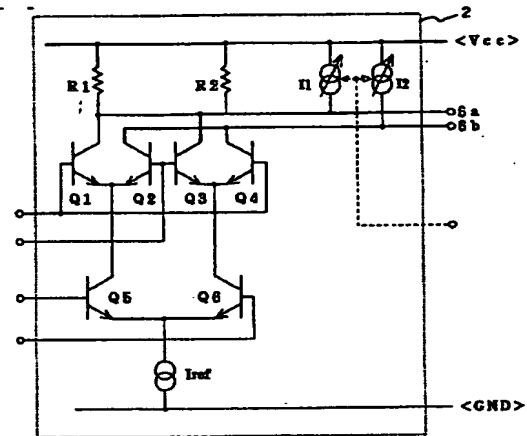
【図7】



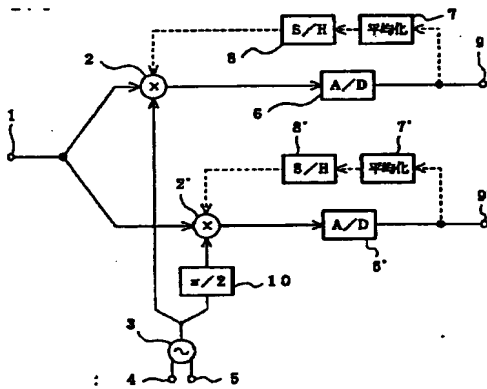
【図1】



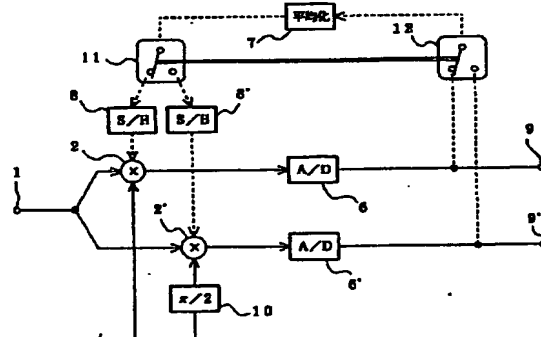
【図2】



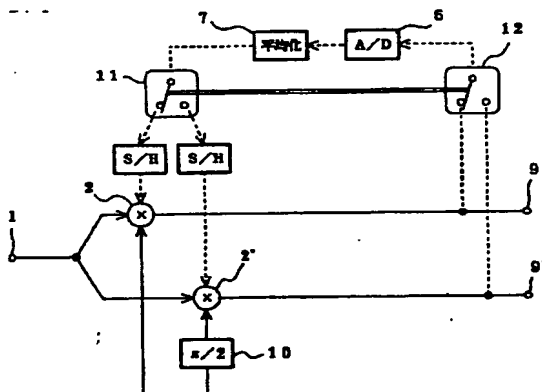
【図3】



【図4】



【図5】



【図6】

